

DIALOG(R)File 352:Derwent WPI

(c) 2002 Derwent Info Ltd. All rts. reserv.

009145945      \*\*Image available\*\*

WPI Acc No: 1992-273384/199233

Related WPI Acc No: 1992-287517; 1995-344216; 1998-062520; 1998-257430;  
1999-069752; 2000-181640; 2000-285862; 2000-342446; 2001-029284;  
2001-055607; 2001-540956; 2002-074294

XRPX Acc No: N96-193821

Thin film gate insulated semiconductor field effect transistor - has  
photo-sensitivities of channel, source and drain spoiled by spoiling  
impurity which has greater concentration near channel region than distant  
from channel region

Patent Assignee: SEMICONDUCTOR ENERGY LAB (SEME )

Inventor: YAMAZAKI S

Number of Countries: 003    Number of Patents: 007

Patent Family:

Patent No	Kind	Date	Applicat No	Kind	Date	Week
<b>JP 4186775</b>	A	19920703	JP 90316598	A	19901120	199233 B
✓ US 5514879	A	19960507	US 91673821	A	19910322	199624
			US 92967564	A	19921028	
			US 94293201	A	19940819	
			US 95479392	A	19950607	
✓ US 5614732	A	19970325	US 91673821	A	19910322	199718
			US 92967564	A	19921028	
			US 94293201	A	19940819	
KR 9513784	B1	19951116	KR 9120771	A	19911120	199902
✓ US 5859445	A	19990112	US 91673821	A	19910322	199910
			US 92967564	A	19921028	
			US 94293201	A	19940819	
			US 97799369	A	19970214	
✓ US 6011277	A	20000104	US 91673821	A	19910322	200008
			US 92967564	A	19921028	
			US 94293201	A	19940819	
			US 97799369	A	19970214	
			US 98149290	A	19980909	
JP 3029289	B2	20000404	JP 90316598	A	19901120	200022

Priority Applications (No Type Date): JP 90316598 A 19901120; JP 90323696 A  
19901126

Patent Details:

Patent No	Kind	Lan Pg	Main IPC	Filing Notes
JP 4186775	A		10 H01L-029/784	
US 5514879	A		24 H01L-029/04	patent JP 4186775 Cont of application US 91673821 Cont of application US 92967564 Div ex application US 94293201
US 5614732	A		26 H01L-029/76	Cont of application US 91673821 Cont of application US 92967564 patent JP 4186775
KR 9513784	B1		H01L-029/78	

US 5859445	A	H01L-029/04	Cont of application US 91673821 Cont of application US 92967564 Div ex application US 94293201 Div ex patent US 5614732
US 6011277	A	H01L-029/76	Cont of application US 91673821 Cont of application US 92967564 Div ex application US 94293201 Div ex application US 97799369 Div ex patent US 5614732 Div ex patent US 5859445
JP 3029289	B2	11 H01L-029/786	Previous Publ. patent JP 4186775

Abstract (Basic): US 5514879 A

The transistor comprises a channel region which is spoiled by an impurity such as oxygen, carbon, nitrogen. The channel is formed within a non-single-crystalline semiconductor film such as semi-amorphous or semi-crystalline semiconductor film.

The photosensitivity of the channel region is reduced by the spoiling impurity and therefore the transistor is endowed with immunity to incident illumination which would otherwise impair the normal operation of the transistor. The spoiling impurity is not introduced into transistors which are located in order not to receive light rays.

USE/ADVANTAGE - For LCD's. For control circuits of optical devices. For inverted and non-inverted staggered and coplanar transistors. For image sensors, load elements or three dimensional elements of monolithic integrated semiconductor devices. Has characteristics little influenced by incident light rays.

Dwg.7d/11

Title Terms: THIN; FILM; GATE; INSULATE; SEMICONDUCTOR; FIELD; EFFECT; TRANSISTOR; PHOTO; SENSITIVE; CHANNEL; SOURCE; DRAIN; SPOIL; SPOIL; IMPURE; GREATER; CONCENTRATE; CHANNEL; REGION; DISTANCE; CHANNEL; REGION

Index Terms/Additional Words: TFT

Derwent Class: P81; U12; U14

International Patent Class (Main): H01L-029/04; H01L-029/76; H01L-029/78; H01L-029/784; H01L-029/786

International Patent Class (Additional): G02F-001/1365; H01L-021/336; H01L-027/092; H01L-031/036

File Segment: EPI; EngPI

DIALOG(R)File 347:JAPIO

(c) 2002 JPO & JAPIO. All rts. reserv.

03821675

INSULATED GATE TYPE FIELD SEMICONDUCTOR DEVICE AND MANUFACTURE THEREOF

PUB. NO.: 04-186775 [JP 4186775 A]

PUBLISHED: July 03, 1992 (19920703)

INVENTOR(s): YAMAZAKI SHUNPEI

APPLICANT(s): SEMICONDUCTOR ENERGY LAB CO LTD [470730] (A Japanese Company or Corporation), JP (Japan)

APPL. NO.: 02-316598 [JP 90316598]

FILED: November 20, 1990 (19901120)

INTL CLASS: [5] H01L-029/784; H01L-027/092

JAPIO CLASS: 42.2 (ELECTRONICS -- Solid State Components)

JAPIO KEYWORD: R011 (LIQUID CRYSTALS); R097 (ELECTRONIC MATERIALS -- Metal Oxide Semiconductors, MOS); R100 (ELECTRONIC MATERIALS -- Ion Implantation)

JOURNAL: Section: E, Section No. 1281, Vol. 16, No. 505, Pg. 54,  
October 19, 1992 (19921019)

#### ABSTRACT

PURPOSE: To form a thin film type insulated gate field effect transistor nonphotosensitive and to form its source, drain in more P(sup +) or N(sup +) type by adding more of total amounts of oxygen, carbon, nitrogen in semiconductor to a first semiconductor as compared with those of a second semiconductor, and providing first and second semiconductors with crystallinity.

CONSTITUTION: Silicon in which oxygen, carbon or nitrogen impurity is selectively added to a channel forming region of a TFT, is used, and photosensitivity is eliminated while providing crystallinity in the region.

No impurity is added to source, drain for constituting a pair of impurity regions, or less impurity is added to improve ionization of the impurity exhibiting P-type or N-type conductivity. Total amounts  $1 \times 10^{20} \text{ cm}^{-3}$  -  $20 \times 10^{20} \text{ cm}^{-3}$  material %, desirably  $3 \times 10^{20} \text{ cm}^{-3}$  -  $5 \times 10^{20} \text{ cm}^{-3}$  material % of impurities O, C, N are selectively implanted to a channel forming region by an ion implanting method, etc., to be nonphotosensitive cm, but in order to set crystallized by heat treatment,  $5 \text{ cm}^2/\text{Vsec}$  or more as carrier mobility, a crystalline grain boundary is substantially eliminated, and a semiconductor material having crystallinity is provided.

⑨ 日本国特許庁(JP)

⑩ 特許出願公開

⑫ 公開特許公報(A)

平4-186775

⑬ Int. Cl.<sup>5</sup>

識別記号

庁内整理番号

⑭ 公開 平成4年(1992)7月3日

H 01 L 29/784  
27/092

9056-4M  
7735-4M

H 01 L 29/78  
27/08

3 1 1 H  
3 2 1 B

審査請求 未請求 請求項の数 3 (全10頁)

⑮ 発明の名称 絶縁ゲイト型電界効果半導体装置およびその作製方法

⑯ 特 願 平2-316598

⑰ 出 願 平2(1990)11月20日

⑱ 発 明 者 山 崎 舜 平 神奈川県厚木市長谷398番地 株式会社半導体エネルギー研究所内

⑲ 出 願 人 株式会社半導体エネルギー研究所 神奈川県厚木市長谷398番地

明 細 書

1. 発明の名称

絶縁ゲイト型電界効果半導体装置およびその作製方法

2. 特許請求の範囲

1. 基板上に設けられた薄膜構造の絶縁ゲイト型電界効果半導体装置におけるチャネル形成領域を構成する結晶性を有する第1の半導体と、該領域により互いに離間したソース、ドレインを構成する一対の不純物領域を構成する結晶性を有する第2の半導体とにおいて、前記第1の半導体中の酸素、炭素および窒素の不純物の総量が前記第2の半導体中の酸素、炭素および窒素の総量に比べて多く添加されているとともに、前記第1および第2の半導体は結晶性を有することを特徴とする絶縁ゲイト型電界効果半導体装置。

2. 特許請求の範囲第1項において、第1の半導体の不純物はソース、ドレインを構成する不純物の領域にわたって設けられていることを

特徴とする絶縁ゲイト型電界効果半導体装置。

3. 絶縁表面を有する基板上に水素が添加された半導体膜を形成する工程と、前記半導体中のチャネルが形成されるべき領域に酸素、炭素または窒素を添加する工程と、前記酸素、炭素または窒素が添加されていない領域にソースおよびドレインを構成させる一導電型の不純物を添加する工程と、該工程の後前記半導体を熱処理する工程とを有することを特徴とする絶縁ゲイト型電界効果半導体装置作製方法。

3. 発明の詳細な説明

「発明の利用分野」

本発明は、アクティブ型液晶表示装置またはイメージセンサに用いる薄膜構造を有する絶縁ゲイト型電界効果トランジスタ(以下TFTという)およびその作製方法に関するものである。

「従来の技術」

従来、TFTを用いたアクティブ型の液晶表示装置が知られている。この場合、TFTにはアモル

ファスまたは結晶粒界を有する多結晶型の半導体を用い、1つの画素にPまたはN型のいずれか一方の導電型のみのTFTを用いる。即ち、一般にはNチャンネル型TFT(NTFTという)を画素に直列に連結している。

しかしアモルファス構造の半導体は、キャリア移動度が小さく、特にホールのキャリア移動度が $0.1\text{cm}^2/\text{Vsec}$ 以下と小さい。また多結晶構造の半導体は、結晶粒界に偏析した酸素等の不純物および不対結合手によりドレイン耐圧を充分大きくとれない、Pチャンネル型のTFTができにくい等の欠点があった。さらにこれらは光感度(フォトセンシティビティ PSという)を有し、光照射により $V_{g-1}$ (ゲート電圧-ドレイン電流)特性等が大きく変化してしまう欠点を有している。

そのため、チャンネル形成領域に光照射が行われないように遮光層を作ることが重要な工程であった。

第2図において、液晶(12)を有し、それに直列に連結してNTFT(11)を設け、これをマトリックス

配列せしめたものである。一般には $640 \times 480$ または $1280 \times 960$ と多くするが、この図面ではそれと同意味で単純に $2 \times 2$ のマトリックス配列をさせた。このそれぞれの画素に対し、周辺回路(16)、(17)より電圧を加え、所定の画素を選択的にオンとし、他の画素をオフとした。するとこのTFTのオン、オフ特性が一般には良好な場合、コントラストの大きい液晶表示装置を作ることができる。しかしながら、実際にかかる液晶表示装置を製造してみると、TFTの出力即ち液晶にとっての入力(液晶電位という)の電圧 $V_{lc}$ (10)は、しばしば“1”(High)とするべき時に“1”(High)にならず、また、逆に“0”(Low)となるべき時に“0”(Low)にならない場合がある。液晶(12)はその動作において本来絶縁性であり、また、TFTがオフの時に液晶電位( $V_{lc}$ )は浮いた状態になる。そしてこの液晶(12)は等価的にキャパシタであるため、そこに蓄積された電荷により $V_{lc}$ が決められる。この電荷は従来のTFTは光感光性であるため、遮光が充分でない時、TFTのチャンネルを通じて電流がリーク(15)

してしまい、結果として $V_{lc}$ のレベルが変動してしまう。さらに液晶が $R_{lc}$ で比較的小さい抵抗となりリーク(14)が生じた場合には、 $V_{lc}$ は中途半端な状態になってしまう。このため1つのパネル中に20万～500万個の画素を有する液晶表示装置においては、高い歩留まりを成就することができない。

#### 「発明の目的」

本発明は、薄膜型絶縁ゲート型電界効果トランジスタを非感光性とせしめたものである。また、ソース、ドレインをよりP\*またはN\*とするためのものである。そしてその応用としてのアクティブ型の液晶表示装置において、液晶電位を1フレームの間はたえず初期値と同じ値として所定のレベルを保ち、そのレベルがドリフトしないようにTFTを改良したものである。

#### 「発明の構成」

本発明は、TFTのチャンネル形成領域の半導体材料を光に対し非感光性の材料とし、特にそのためTFTのチャンネル形成領域に選択的に酸素、炭素ま

たは窒素の不純物を添加したシリコンを用い、その領域を結晶性を有しながらも光感光性をなくしたものである。そして一対の不純物領域を構成するソース、ドレインにはその不純物の添加をしない、またはより少なくすることにより、PまたはN型の導電性を示す不純物のイオン化率を向上させたものである。

またチャンネル形成領域にイオン注入法等により選択的にO、C、Nの不純物の総量を $1 \times 10^{18}\text{cm}^{-3}$ ～20原子%、好ましくは $3 \times 10^{18}\text{cm}^{-3}$ ～5原子%としたことにより非感光性とせしめ、しかしながらかつ500～750℃の熱処理により結晶化せしめ、キャリア移動度として $5\text{cm}^2/\text{Vsec}$ 以上とするため結晶粒界を實質的になくし、かつ結晶性を有する半導体材料としたものである。

この材料は非感光性、即ちオン状態での電流変化を10%以下とし、かつオフ状態(サブスレッシュホールド状態)で暗電流が $10^{-8}\text{A}$ のオーダーのものが $10^{-7}\text{A}$ のオーダー以下の増力、即ち変化の程度を2桁以下に2000カンデラの可視光照射で成就

させたものである。

本発明を液晶表示装置に用いる場合、マトリックス構成したそれぞれのピクセル（透明導電膜とTFTとの総合したもの）の一方の透明導電膜（画素）の電極に相補型のTFTの出力端子を連結せしめた。即ちマトリックス配列したすべての画素にPチャネル型のTFT（以下PTFTという）とNTFTとを相補型（以下C/TFTという）として連結してピクセルとしたものである。

その代表例を第3図に回路として示す。また実際のパターンレイアウト（配置図）の例を第4図に示す。

即ち第3図の $2 \times 2$ のマトリックスの例において、PTFTとNTFTとのゲートを互いに連結し、さらにY軸方向の線 $V_{ss}(22)$ 、または $V_{ss}(23)$ に連結した。またC/TFTの共通出力を液晶(12)に連結している。PTFTの入力( $V_{ss}$ 側)をX軸方向の線 $V_{ss}(18)$ 、 $V_{ss}(18')$ に連結し、NTFTの入力( $V_{ss}$ 側)を $V_{ss}(19)$ に連結させている。すると $V_{ss}(18)$ 、 $V_{ss}(22)$ が“1”の時、液晶電位(10)は“0”となり、

また $V_{ss}(18)$ が“1”、 $V_{ss}(22)$ が“0”の時液晶電位(10)は“1”となる。即ち、 $V_{ss}$ と $V_{ss}$ とは「逆相」となる。

そして液晶電位(10)は $V_{ss}(18)$ 、または接地または $V_{ss}(19)$ のいずれかに固定させるため、フローティングとなることがない。

第3図においては、NTFTとPTFTとを逆に配設すると、 $V_{ss}$ と $V_{ss}$ とは「同相」とすることができる。

以下に実施例に基づき、本発明を示す。

#### 「実施例1」

この実施例では第1図を用いて本発明を示す。ガラス基板にC/TFTを作らんとした時の製造工程を第1図に基づき示す。

第1図において、ANガラス、パイレックスガラス等の約600℃の熱処理に耐え得るガラス(1)上にマグネトロンRF（高周波）スパッタ法を用いてブロッキング層(38)としての酸化珪素膜を1000～3000Åの厚さに作製した。

プロセス条件は酸素100%雰囲気、成膜温度150

℃、出力400～800W、圧力0.5Paとした。ターゲットに石英または単結晶シリコンを用いた成膜速度は30Å/分であった。

この上に、酸素、炭素または窒素の総量が $7 \times 10^{11} \text{cm}^{-3}$ 好ましくは $1 \times 10^{11} \text{cm}^{-3}$ 以下しか添加されていないシリコン膜をLPCVD（減圧気相）法、スパッタ法またはプラズマCVD法により形成した。

減圧気相法で形成する場合、結晶化温度よりも100～200℃低い450～550℃、例えば530℃でジシラン( $\text{Si}_2\text{H}_6$ )またはトリシラン( $\text{Si}_3\text{H}_8$ )をCVD装置に供給して成膜した。反応炉内圧力は30～300Paとした。成膜速度は30～100Å/分であった。NTFTとPTFTとのスレッショールド電圧( $V_{th}$ )を概略同一に制御するため、ホウ素をジボランを用いて $1 \times 10^{11} \sim 5 \times 10^{11} \text{cm}^{-3}$ の濃度として成膜中に添加してもよい。

スパッタ法で行う場合、スパッタ前の背圧を $1 \times 10^{-6} \text{Pa}$ 以下とし、単結晶シリコンをターゲットとし、アルゴンに水素を50～80体積％に混入した雰囲気で行った。例えばアルゴン20体積％、水素

約80体積％とした。成膜温度は150℃、周波数は13.56MHz、スパッタ出力400～800Wとした。圧力は0.5Paであった。

プラズマCVD法により珪素膜を作製する場合、温度は例えば300℃とし、モノシラン( $\text{SiH}_4$ )またはジシラン( $\text{Si}_2\text{H}_6$ )を反応性気体として用いた。これらをPCVD装置内に導入し、13.56MHzの高周波電力を加えて成膜した。

これらの方法によって形成された被膜は、酸素が $7 \times 10^{11} \text{cm}^{-3}$ 好ましくは $1 \times 10^{11} \text{cm}^{-3}$ またはそれ以下しか含有しないようにした。するとこの被膜は感光性を有するが、酸化等が添加されていない場合よりもより結晶化をしやすいという特長を有する。

この実施例では第1図(A)に示す如く、第1のフォトリソ①で所定の領域のみ、半導体膜(2)、(2')を残し他部を除去した。さらに第2のフォトリソ②を用い、フォトレジスト(35)を選択的に除去した。この除去された領域(36)、(35)は、それぞれPTFT、NTFTのチャネル形成領域を覆ってい

る。この開孔(35), (36)に対し、C、NまたはO、例えばOを $5 \times 10^{14} \sim 5 \times 10^{16} \text{cm}^{-2}$ のドーザ量不純物をイオン注入法により添加した。加えた電圧は30~50KeV例えば35KeVとした。

その結果、さらに一對の不純物領域であるソースまたはドレインとなる領域は、酸素等の不純物がきわめて少なく、結晶化はより強く進んだ。またその一部は後工程においてソース、ドレインとある領域において0~5  $\mu\text{m}$ の横方向の深さにまでわたって設けられている。即ち、理想的には0が好ましいが、工程上の問題を考慮すると0を含み5  $\mu\text{m}$ 程度の範囲の間で横方向に渡って設けることが好ましかった。

即ち非感光性を有せしめるにはC, O, Nを添加すればよいが、多すぎるとその後の熱処理でも結晶化しにくくなり、ひいてはキャリア移動度が $5 \text{cm}^2/\text{Vsec}$ 以上、好ましくは $10 \sim 100 \text{cm}^2/\text{Vsec}$ を得ることができないからである。

かくして、アモルファス状態の珪素膜を500~10000  $\text{\AA}$  (1  $\mu\text{m}$ )、例えば2000  $\text{\AA}$ の厚さに作製の後、50

0~750℃の結晶成長を起こさない程度の中温の温度にて12~70時間非酸化雰囲気にて加熱処理した。例えば窒素または水素雰囲気にて600℃の温度で保持した。

この半導体膜の下側の基板表面は、アモルファス構造の酸化珪素膜が形成されているため、この熱処理で特定の核が存在せず、全体が均一に加熱アニールされる。即ち、成膜時はアモルファス構造を有し、また水素は単に混入しているのみである。

このアニールにより、チャネル形成領域の半導体膜はアモルファス構造から秩序性の高い状態に移り、その一部は結晶状態を呈する。特にシリコンの成膜時に比較的秩序性の高い領域は特に結晶化をして結晶状態となろうとする。しかし、これらの領域間に存在する珪素により互いの結合がなされるため、珪素同志は互いにひっぱりあう。結晶としてもレーザラマン分光により測定すると、単結晶の珪素(111)結晶方位のピーク $522 \text{cm}^{-1}$ より低周波側にシフトした格子歪を有した(111)結

晶ピークが観察される。その見掛け上の粒径は、半値巾から計算すると、50~500  $\text{\AA}$ とマイクロクリスタルのようにになっているが、実際はこの結晶性の高い領域は多数あってクラスタ構造を有し、その各クラスタ間には互いに珪素同志で結合(アンカリング)がされたセミアモルファス構造の被膜を形成させることができた。

例えばSIMS(二次イオン質量分析)法により深さ方向の分布測定を行った時、添加物(不純物)として最低領域(表面または表面より離れた位置(内部))において酸素が $3.4 \times 10^{20} \text{cm}^{-3}$ 、窒素 $4 \times 10^{17} \text{cm}^{-3}$ を得た。また水素は $4 \times 10^{22} \text{cm}^{-3}$ であり、珪素 $4 \times 10^{22} \text{cm}^{-3}$ として比較すると1原子%であった。

この結晶化は酸素濃度が例えば $1.5 \times 10^{20} \text{cm}^{-3}$ においては1000  $\text{\AA}$ の膜厚で600℃(48時間)の熱処理で可能である。これを $5 \times 10^{20} \text{cm}^{-3}$ にすると膜厚を0.3~0.5  $\mu\text{m}$ と厚くすれば600℃でのアニールによる結晶化が可能であったが、0.1  $\mu\text{m}$ の厚さでは650℃での熱処理が結晶化のためには必要

であった。即ちより膜厚を厚くする、より酸素等の不純物濃度を減少させるほど、結晶化がしやすかった。

結果として、この被膜は実質的にグレインバウンダリ(GBという)がないといってもよい状態を呈する。キャリアは各クラスタ間をアンカリングされた個所を通じ互いに容易に移動し得るため、13万ゆるGBの明確に存在する多結晶珪素よりも高いキャリア移動度となる。即ちホール移動度( $\mu_h$ )= $10 \sim 50 \text{cm}^2/\text{Vsec}$ 、電子移動度( $\mu_e$ )= $15 \sim 100 \text{cm}^2/\text{Vsec}$ が得られる。

またフォトセンシティビティは、TFTとしての $V_g$ (ゲート電圧)- $I$ 。(ドレイン電流)特性を得ながらガラス側より2000ルクスの光を照射して $I$ 。がオン状態の領域で10%以下しか変動しない(ドリフトしない)条件またはサブスレッショールド電圧の領域にて $I$ 。が2桁以下の増加(ドリフト)しかない条件(オフ電流が充分小さい条件)として測定した。すると、チャネル形成領域での酸素濃度が $8 \times 10^{19} \text{cm}^{-3}$ 等の少ない濃度

であるとドリフトがあるが、 $1 \times 10^{19} \text{cm}^{-3}$ 以上好ましくは $3 \times 10^{19} \text{cm}^{-3}$ 以上とするとほとんどドリフトがPTFTでもNTFTでもみられなかった。

他方、上記の如く中温でのアニールではなく、900～1200℃の高温アニールにより被膜を多結晶化すると、核からの固相成長により被膜中の酸素等の不純物の偏析がおきて、GBには酸素、炭素、窒素等の不純物が多くなり、結晶中の移動度は大きい、GBでのバリア（障壁）を作ってそこでのキャリアの移動を阻害してしまう。そして結果としては $5 \text{ cm}^2/\text{Vsec}$ 以下の移動度しか得られず、結晶粒界でのドレインリーク等による耐圧の低下がおきてしまうのが実情であった。

即ち、本発明の実施例ではかくの如く、感光性がなくかつ結晶性を有するセミアモルファスまたはセミクリスタル構造を有するシリコン半導体を用いている。

またこの上に酸化珪素膜をゲイト絶縁膜として厚さは500～2000Å例えば1000Åに形成した。これはブロッキング層としての酸化珪素膜の作製と

同一条件とした。この成膜中に弗素を少量添加してもよい。

この酸化珪素と下地の半導体膜との界面特性を向上し、界面準位を除くため、紫外光を同時に加え、オゾン酸化を行うとよかった。即ち、ブロッキング層(38)を形成したと同じ条件のスパッタ法と光CVD法との併用方法とすると、界面準位を減少させることができた。

さらにこの後、この上側にリンが $1 \sim 5 \times 10^{19} \text{cm}^{-3}$ の濃度に入ったシリコン膜またはこのシリコン膜とその上にモリブデン(Mo)、タングステン(W)、 $\text{MoSi}_2$ または $\text{WSi}_2$ との多層膜を形成した。これを第3のフォトマスク③にてパターンニングした。そしてPTFT用のゲイト電極(4)、NTFT用のゲイト電極(4')を形成した。例えばチャネル長 $10 \mu\text{m}$ 、ゲイト電極としてリンドープ珪素を $0.2 \mu\text{m}$ 、その上にモリブデンを $0.3 \mu\text{m}$ の厚さに形成した。

第1図(C)において、フォトレジスト(31')をフォトマスク④を用いて形成し、PTFT用のソース(5)、ドレイン(6)となる領域でありかつ酸素濃度

の少ない領域に対し、ホウ素を $1 \sim 2 \times 10^{19} \text{cm}^{-3}$ のドーズ量をイオン注入法により添加した。

次に第1図(D)の如く、フォトレジスト(31)をフォトマスク⑤を用いて形成した。そしてNTFT用のソース(5')、ドレイン(6')となる領域に対しリンを $1 \times 10^{19} \text{cm}^{-3}$ の量、イオン注入法により添加した。

これらはゲイト絶縁膜(3)を通じて行った。しかし第1図(B)において、ゲイト電極(4)、(4')をマスクとしてシリコン膜上の酸化珪素を除去し、その後、ホウ素、リンを直接珪素膜中にイオン注入してもよい。

次に、これらフォトレジスト(31)を除去した後、630℃にて10～50時間再び加熱アニールを行った。そしてPTFTのソース(5)、ドレイン(6)、NTFTのソース(5')、ドレイン(6')を不純物を活性化してP<sup>+</sup>、N<sup>+</sup>の領域として作製した。

この領域は酸素等が少ないため、同じ温度でもより結晶化度が進む。結果としてホウ素、リン等の導電型を与える不純物のイオン化率（アクセプ

タまたはドナーの数／注入した不純物の量）が50～90%にまで可変することができた。

またゲイト電極(4)、(4')下にはチャネル形成領域(7)、(7')がセミアモルファス半導体として形成されている。

酸素等の不純物の添加された領域の端部(42)を不純物領域の端部(41)より不純物領域にわたらせることにより、ここでのホウ素またはリンのイオン化率は減少するが、同時にN<sup>+</sup>-I、P<sup>+</sup>-Iの存在する面に結晶粒界が存在しにくく、結果としてドレイン耐圧を高くすることができる。

かくすると、セルフアライン方式でありながらも、すべての工程において700℃以上に温度を加えることがなくC/TFTを作ることができる。そのため、基板材料として、石英等の高価な基板を用いなくてもよく、本発明の大画面の液晶表示装置にきわめて適しているプロセスである。

熱アニールは第1図(A)、(D)で2回行った。しかし第1図(A)のアニールは求める特性により省略し、双方を第1図(D)の熱アニールにより兼ね



させて製造時間の短縮を図ってもよい。第1図(E)において、層間絶縁物(8)を前記したスパッタ法により酸化珪素膜の形成として行った。この酸化珪素膜の形成はLPCVD法、光CVD法を用いてもよい。例えば0.2~1.0  $\mu\text{m}$ の厚さに形成した。その後、第1図(E)に示す如く、フォトマスク⑥を用いて電極用の窓(32)を形成した。

さらにこれら全体はアルミニウムを0.5~1  $\mu\text{m}$ の厚さにスパッタ法により形成し、リード(9)、(9')およびコンタクト(29)、(29')をフォトマスク⑦を用いて第1図(F)の如く作製した。

かかるTFTの特性を略記する。移動度( $\mu$ )、スレッショールド電圧、ドレイン耐圧( $V_{\text{DD}}$ )、フォトセンシティビティ(PS)は以下の通りであった。

	$\mu$ ( $\text{cm}^2/\text{Vs}$ )	$V_{\text{th}}$ (V)	$V_{\text{DD}}$	PS
PTFT	14	-4.3	-24V	無
NTFT	23	+3.8	+27V	無

上記はチャネル長10  $\mu\text{m}$ 、チャネル巾30  $\mu\text{m}$ の

場合を示す。かかる半導体を用いることにより、一般に不可能とされていたTFTに大きな移動度を得ることができ、加えて感光性がなく、かつドレイン耐圧を大きなレベルで得た。そのため、初めて第2図、第3図に示した液晶表示装置用のNTFTまたはC/TFTを構成させることができた。

この実施例は液晶表示装置例であり、またこのC/TFTの出力を画素に連結させるためさらに第1図(F)において、ポリイミド等の有機樹脂(34)を形成した。そしてフォトマスク⑧により再度の窓あけを行った。2つのTFTの出力端を液晶装置の一方の透明電極に連結するため、スパッタ法によりITO(インジウム・スズ酸化膜)を形成した。それをフォトマスク⑧によりエッチングして、透明電極(33)を構成させた。このITOは室温~150℃で成膜し、それを200~300℃の酸素または大気中のアニールにより成就した。

かくの如くにしてPTFT(21)とNTFT(11)と透明導電膜の電極(33)とを同一ガラス基板(1)上に作製した。

## 「実施例2」

第4図(A)に第3図に対応した実施例を示す。X軸方向に $V_{\text{DD}}$ (18)、 $V_{\text{SS}}$ (19)、 $V_{\text{DD}}$ (18')を有するX軸方向の配線(以下X線ともいう)を形成した。なおY軸方向は $V_{\text{DD}}$ (22)、 $V_{\text{SS}}$ (23)とY軸方向の配線(以下Y線ともいう)を形成した。

図面(A)は平面図であるが、そのA-A'の縦断面図を第4図(B)に示す。またB-B'の縦断面図を第4図(C)に示す。

またPTFT(21)をX線 $V_{\text{DD}}$ (18)とY線 $V_{\text{DD}}$ (22)との交差部に設け、 $V_{\text{DD}}$ (18)と $V_{\text{SS}}$ (23)との交差部にも他の画素用のPTFT(21')が同様に設けられている。またNTFT(11)は $V_{\text{DD}}$ (19)と $V_{\text{DD}}$ (22)との交差部に設けられている。 $V_{\text{DD}}$ (19)と $V_{\text{DD}}$ (22)との交差部の下側には他の画素用のNTFT(11')が設けられている。C/TFTを用いたマトリックス構成を有せしめた。それらPTFTはソース(5)がコンタクト(32)を介してX線 $V_{\text{DD}}$ (18)に連結され、ゲート(4)は多層形成がなされたY線 $V_{\text{DD}}$ (22)に連結されている。ドレイン(6)はコンタクト(29)を介

して透明導電膜の電極(33)に連結している。

これらのNTFT、PTFTのチャネル形成領域(7)、(7')には酸素が意図的に添加され、ソース、ドレインには添加させないようにした。

他方、NTFTはソース(5')がコンタクト(32')を介してX線 $V_{\text{DD}}$ (19)に連結され、ゲート(4')はY線 $V_{\text{DD}}$ (22)に、ドレイン(6')はコンタクト(29')を介して透明導電膜(33)に連結している。かくして2本のX線(18)、(19)に挟まれた間(内側)に画素である透明導電膜(33)とC/TFT(21)、(11)とにより1つのピクセルを構成せしめた。かかる構造を左右、上下に繰り返すことにより、2×2のマトリックスの1つの例またはそれを拡大した640×480、1280×960といった大画面の液晶表示装置を作ることが可能となった。

ここでの特長は、1つの画素に2つのTFTが相補構成をして設けられていること、また電極(33)は液晶電位 $V_{\text{LC}}$ を構成するが、それは、PTFTがオンでありNTFTがオフか、またはPTFTがオフでありNTFTがオンか、のいずれのレベルに固定されるこ

とである。

そしてこのガラス基板側より例えば光が照射されても、C/TFTはソース、ドレインはおろか、特にチャネル形成領域が光に対し非感光性であるため、反射型のみならず透光型の液晶表示装置であっても遮光手段を設けることなしに動作をさせることが可能であった。

第4図で明らかなように、制御要素の $V_{ss}$ が新たに増えても、液晶装置における開口率(全面積(34)に対し実際に表示する液晶表示有効面積(33)の割合)に関しては、従来の第1図の1つのみの導電型をもつTFTを各画素に連結した場合とまったく変わらず、不利にならない。

第4図において、それら透明導電膜上に配向膜、配向処理を施し、さらにこの基板と他方の液晶の電極(第4図(34))を有する基板との間に一定の間隔をあけ、公知の方法により互いに配設をした。そしてその間に液晶を注入して液晶表示装置として完成させた。

液晶材料にTN液晶を用いるならば、その間隔を

約 $10\mu\text{m}$ 程度とし、透明導電膜双方に配向膜をラビング処理して形成させる必要がある。

また液晶材料にFLC(強誘電性)液晶を用いる場合は、動作電圧を $\pm 20\text{V}$ とし、また、セルの間隔を $1.5\sim 3.5\mu\text{m}$ 例えば $2.3\mu\text{m}$ とし、反封電極(第4図)(34)上にのみ配向膜を設けラビング処理を施せばよい。

分散型液晶またはポリマー液晶を用いる場合には、配向膜は不用であり、スイッチング速度を大とするため、動作電圧は $\pm 10\sim \pm 15\text{V}$ とし、セル間隔は $1\sim 10\mu\text{m}$ と薄くした。

特に分散型液晶またはポリマー液晶を用いる場合には、偏光板も不用のため、反射型としても、また透過型としても光量を大きくすることができる。その液晶はスレッシュホールドがないため、本発明のC/TFTに示す如く、明確なスレッシュホールド電圧が規定されるC/TFT型とすることにより大きなコントラスト実現することとクロストーク(隣画素との悪干渉)を除くことができた。

この実施例2は、C/TFTにおいて $V_{ss}$ 側にPTFT

を、 $V_{ss}$ 側にNTFTを形成した。するとその出力は $V_{ss}$ または $V_{ss}$ を作るため明確なレベルを決定できる。しかし $V_{ss}$ に対しては、 $V_{cc}$ はインバータ(逆相)となる。

この $V_{ss}$ と $V_{cc}$ とが同相(同じ向きの電圧)となる場合の2Tr/cell方式(C/TFT方式)を以下の実施例にて示す。

#### 「実施例3」

この実施例は、第3図、第4図において、 $V_{ss}$ 側に逆にNTFT(11)を、 $V_{ss}$ 側に逆にPTFT(21)を連結したC/TFT構成を有する。すると、その出力である $V_{cc}$ は $V_{ss}$ と同相( $V_{ss}$ が正電圧のとき正電圧の出力、負電圧の時負電圧の出力)になり、その出力電位は $V_{ss}-V_{thp}$ および $V_{ss}-V_{thn}$ で与えられる。 $V_{thp}$ と $V_{thn}$ とが異なる時は第3図の液晶の他の端子(13)にオフセットバイアスを加えて等しくすると好ましかった。かくすると $V_{ss}$ を $V_{ss}$ より大にしなければならぬ欠点はあるが、ゲート電極と $V_{cc}$ との間で多少のリークがあってもあまり気にしなくてもよいという特長を有する。

かかる場合、第4図においても同様に、PTFTとNTFTとを互いに逆に設ければよい。そのため、実施例2と第4図における製造工程および開口率はまったく同じ値を作ることができる。その他は実施例2と同様である。

#### 「実施例4」

この実施例は、第2図に示した各ピクセルに、NTFTのみを各画素等に連結して設けた1Tr/cell方式のものである。すると $V_{cc}$ のレベルは、フローティングとなりバラツキがあるが、本発明に示すTFTが非感光性であるため、実使用の際のTFTに光が照射されることを防ぐ透光手段を設ける必要がなく、従来より簡単にアクティブ型液晶表示装置を作ることができた。その他は実施例1、3と同様である。

#### 「発明の効果」

本発明はNTFT、PTFTに対し非感光性とすることにより、特にチャネル形成領域に酸素等の不純物を添加して非感光性のセミアモルファス半導体とするとともに、ソース、ドレインにはこれらの不

純物の添加をせずにドナーまたはアクセプタのイオン化率の向上を図ることにより遮光手段が不用となった。さらにかかるTFT、特にC/TFTとしてマトリックス化された各画素に連結することにより、

- 1) 遮光手段が不要となった液晶表示装置を作ることができる
  - 2) ソース、ドレインのシート抵抗の低下による高速化
  - 3) 酸素をPI、NIよりもソース、ドレイン側にわたらせることにより、ドレイン耐圧を3~10Vも向上せしめた
- という多くの特長を有する。

本発明は非感光性のTFTを作り、その応用として液晶表示装置に用いた例を示した。しかしその他の半導体装置、例えばイメージセンサ、モノリシック型集積回路における負荷または三次元素子として用いることも可能である。

本発明においてかかるC/TFTに対し、半導体として非感光性のセミアモルファスまたはセミクリ

スタル構造のシリコンを主成分とする材料を用いた。しかし同じ目的のために可能であるならば他の結晶構造の半導体を用いてもよい。またセルフアライン型のC/TFTによることにより高速処理を行った。しかしイオン注入法を用いずに非セルフアライン方式によりTFTを作ってもよいことはいうまでもない。

#### 4. 図面の簡単な説明

第1図は本発明のPチャネル型およびNチャネル型のTFTの作製方法を示す。

第2図は1Tr/cell方式のアクティブ型TFTを用いた液晶表示装置を示す。

第3図は本発明の相補型TFTを用いた2Tr/cell方式アクティブ型液晶装置の回路図を示す。

第4図は第3図に対応した液晶表示装置の一方の基板の平面図(A)、縦断面図(B)、(C)を示す。

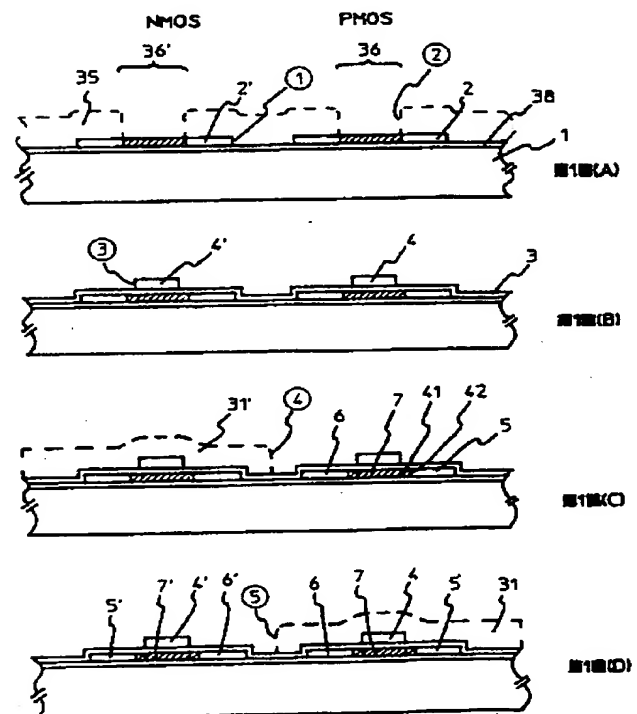
- (1) . . . . . ガラス基板
- (2), (2') . . . 半導体薄膜
- (3) . . . . . ゲイト絶縁膜
- (4), (4') . . . ゲイト電極

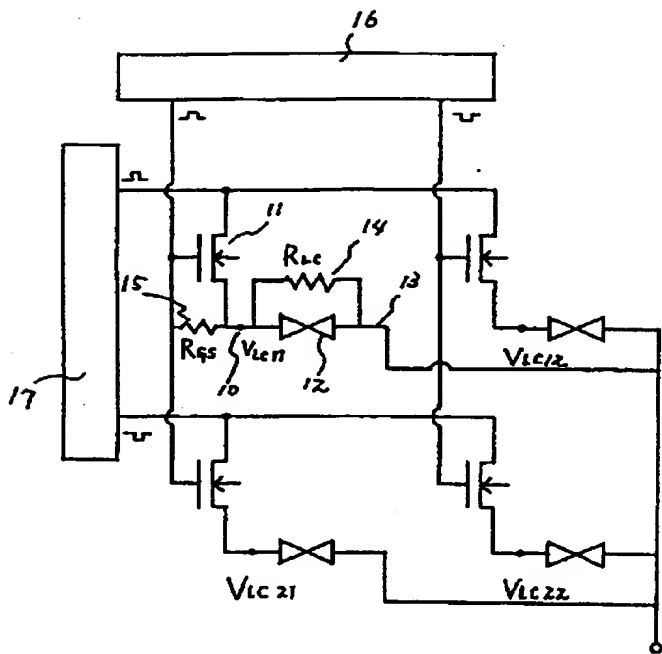
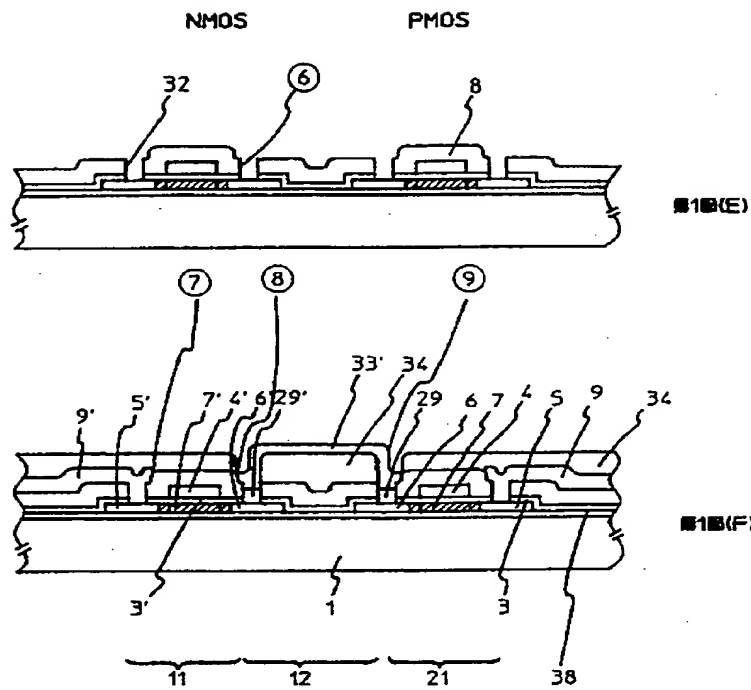
- (5), (5') . . . ソース
- (6), (6') . . . ドレイン
- (7), (7') . . . チャネル形成領域
- (10) . . . . . 液晶電位( $V_{LC}$ )
- (11) . . . . . Nチャネル型薄膜トランジスタ(NTFT)
- (12) . . . . . 液晶
- (14), (15) . . . リークをさせる抵抗
- (16), (17) . . . 周辺回路
- (18), (18') . . .  $V_{SS}$  (X線の1つ)
- (19), (19') . . .  $V_{DD}$  (X線の1つ)
- (21) . . . . . Pチャネル型薄膜トランジスタ(PTFT)
- (22), (23) . . .  $V_{DD}$ ,  $V_{DD}'$  (Y線)
- (31), (31') . . . フォトレジスト
- (38) . . . . . ブロッキング層
- (33), (34) . . . 透明電極
- ①~⑤ . . . . . フォトマスクを用いたプロセス

特許出願人

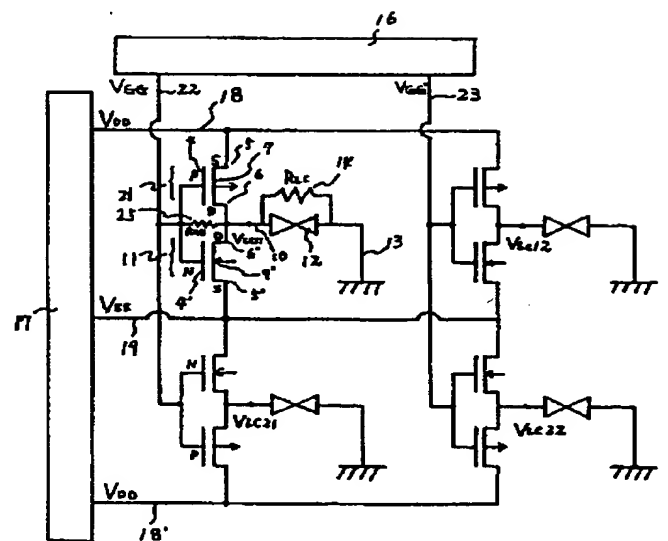
株式会社半導体エネルギー研究所

代表者 山 崎 舜 平





第 2 図



第 3 図

